

BUS

PC-Support Informationsseiten für interne Bussysteme im PC

Informationseite mit folgenden Inhalten: ISA-Bus Signalbelegung, ISA-Bus Signalbeschreibung, EISA-Bus (Signalbelegung), VESA-Local Bus (Signalbelegung), PCI-Bus(Signalbelegung), 30 Pin SIMM Anschluß, 72 Pin SIMM Anschluß.

Dateiname : d_dta-pc-tech-disk.htm

Ablage : <http://www.elektroniklager.de/pc-sup>

Copyright, alle Rechte vorbehalten, Eberhard De Wille

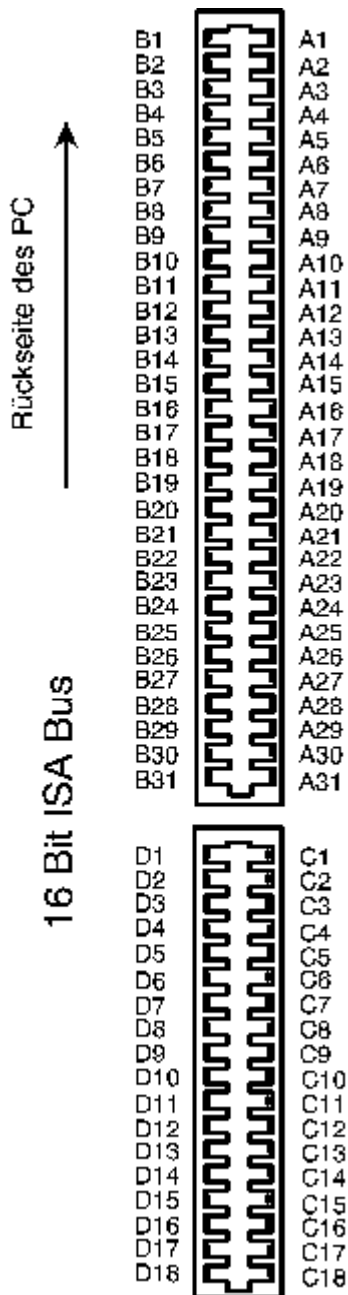
Änderungshistorie:

Datum	Version	Revision	Name	Abteilung	Tel.	Bechreibung
2004-06-01	1.0	a	Eberhard De Wille	pc-sup	-	Erste Version der Bus-Seiten

Inhaltsverzeichnis

1. ISA-Bus..... 4
 1.1. ISA-Bus Signalbelegung am Steckplatz..... 4
 1.2. Beschreibung der Bus Signale..... 6
2. EISA-Bus Signalbelegung am Steckplatz 9
3. VESA-Local Bus (VLB) Signalbelegung am Steckplatz 10
4. PCI-Bus Signalbelegung am Steckplatz 12
5. 30 PIN SIMM Anschluß (Single Inline Memory Module) 14
6. 72 PIN SIMM Anschluß (Single Inline Memory Module) 15

1. ISA-Bus



1.1. ISA-Bus Signalbelegung am Steckplatz

62-Pin Anschlußleiste

Ground	<	B1	A1	<	-I/O CH CK
+ Reset	<	B2	A2	<>	SD7
+5 Volts	<	B3	A3	<>	SD6
+IRQ2(IRQ9/XT)	>	B4	A4	<	SD5
-5 Volts	<	B5	A5	<>	SD4
+ DRQ2	>	B6	A6	<	SD3
-12 Volts	<	B7	A7	<>	SD2
-OWS	<>	B8	A8	<	SD1
+12 Volts	<	B9	A9	<>	SD0
Ground	<	B10	A10	<	I/O CH RDY
-SMEMW	<	B11	All	<>	AEN
-SMEMR	<	B12	A12	<>	SA19
-IOW	<>	B13	A13	<>	SA18
-IOR	<>	B14	A14	<>	SA17
-DACK3	<>	B15	A15	<>	SA16
+DRQ3	<>	B16	A16	<>	SA15
-DACK1	<>	B17	A17	<>	SA14
+DRQ1	<>	B18	A18	<>	SA13
-REFRESH	<>	B19	A19	<>	SA12
CLK	<>	B20	A20	<>	SA11
+ IRQ7	<>	B21	A21	<>	SA10
+ IRQ6	<>	B22	A22	<>	SA9
+ IRQ5	<>	B23	A23	<>	SA8
+ IRQ4	<>	B24	A24	<>	SA7
+ IRQ3	<>	B25	A25	<>	SA6
-DACK2	<>	B26	A26	<>	SA5
+T/C	<	B27	A27	<>	SA4
+BALE (ALE/XT)	<	B28	A28	<>	SA3
+5 Volts	<	B29	A29	<>	SA2
OSC	<	B30	A30	<>	SA1
Ground	<	B31	A31	<>	SA0

36-Pin Anschlußleiste

-MEMcs16	>	D1	C1	>	SBHE
-I/Ocs16	>	D2	C2	<>	LA23
+IRQ10	>	D3	C3	<>	LA22
+IRQ11	>	D4	C4	<>	LA21
+IRQ12	>	D5	C5	<>	LA20
+IRQ15	>	D6	C6	<>	LA19
+IRQ14	>	D7	C7	<>	LA18
-DACK0	<	D8	C8	<>	LA17
+DRQ0	>	D9	C9	>	-MEMR
-DACK5	<	D10	C10	>	-MEMW
+DRQ5	>	D11	C11	<>	SD08
-DACK6	<	D12	C12	<>	SD09
+DRQ6	>	D13	C13	<>	SD10
-DACK7	<	D14	C14	<>	SD11
+DRQ7	>	D15	C15	<>	SD12
+5 Volts	<	D16	C16	<>	SD13
-MASTER	>	D17	C17	<>	SD14
Ground	<	D18	C18	<>	SD15

Die Pfeile, die zur PIN-Nummer zeigen bezeichnen Signale, die in das System Board gehen (von den Einheiten auf den Bus), und umgekehrt.

< > bezeichnet bidirektionale Signale.

1.2. Beschreibung der Bus Signale

Die Signalbezeichnungen in dieser Tabelle sind für den AT Bus. Im Fall von älteren Bezeichnungen für den PC/XT sind diese Angaben extra gekennzeichnet. Die Bezeichnung "E" zeigt an, daß das Signal eine Eingabe vom Bus in das Systemboard ist. Die Bezeichnung "A" steht für eine Signalausgabe vom Systemboard auf den Bus.

Name	E/A	Beschreibung
OVS	E	Das "Zero Wait State" Signal zeigt dem Prozessor an, daß er den momentanen Buszyklus beenden kann, ohne zusätzliche Wartezyklen einzufügen. Um einen Speicherzyklus für eine 16Bit-Einheit ohne Wartezyklen zu betreiben, muß das OVS Signal von einem Adress-Dekodier-Gatter im Zusammenhang mit einem Read oder Write Befehl abgeleitet werden. Um einen Speicherzyklus für eine 8Bit-Einheit mit einem Minimum von 2 Wait States zu betreiben, sollte das OVS Signal nach einem aktiven Read oder Write Befehl im Zusammenhang mit der Adressdekodierung für die Einheit, für eine Systemtaktdauer aktiv gemacht werden. Speicher Read oder Write Befehle sind für eine 8Bit-Einheit zur Zeit der fallenden Flanke des Systemtakts aktiv. Das OVS Signal ist Aktiv-Low und sollte von einem Open Kollektor oder einem Tri-State Treiber mit min. 20mA Stromaufnahme Kapazität betrieben werden.
AEN	A	Adress Enable: Diese Leitung wird dazu benutzt, den Prozessor und andere E/A-Einheiten vom Bus zu trennen, um DMA Transfer zu ermöglichen. Wenn diese Leitung aktiv ("high") ist, verfügt der DMA Controller über den Adreßbus, den Datenbus, die Lese-Befehls Leitungen (Speicher und E/A) und die Schreib-Befehls Leitungen (Speicher und E/A).
BALE (ALE)	A	Adress Latch Enable: Diese Leitung wird vom Bus Controller (8288) gesetzt und wird auf dem System Board zum Latchen der vom Prozessor ausgegebenen gültigen Adressen benutzt. Es dient den Ein-/Ausgabekanälen als Anzeige einer gültigen Prozessoradresse (zusammen mit AEN). Die Prozessoradressen werden mit der fallenden Flanke von ALE gelatched.
CLK	A	Bus Takt: z.B. 1/8 der Oszillatorfrequenz (12 MHz) mit einer Periodendauer von 210 ns. (4.77 MHz, Tastverhältnis 33%) oder ein Tastverhältnis von 50% = 6 MHz. Der Bus Takt kann bei allen neueren Mainboards im Setup eingestellt werden. Er leitet sich immer im angegebenen Teilungsverhältnis von der Oszillatorfrequenz des Mainboards ab. Achtung! viele I/O Karten funktionieren bei einer Bus Takt Frequenz über 8 MHz nicht mehr.
-DACK0-7 (-DACKI-3)	A	Acknowledge: Diese Leitungen werden dazu benutzt, der Peripherie anzuzeigen, daß die DMA-Anforderung angenommen worden ist. (und zum Refreshen des dynamischen Speichers (DACK0 = REFRESH) beim XT).
DRQ1-7 (DRQ0-3)	E	DMA Request 0 bis 3 und 5 bis 7: Mit diesen Leitungen können periphere Geräte signalisieren, daß sie eine DMA-Bedienung wünschen. Das Setzen dieser Leitungen erfolgt asynchron. Die Leitungen sind unterschiedlich priorisiert: DRQ 7 : niedrigste Priorität. DRQ 0 : höchste Priorität. Eine DMA Anforderung wird durch einen aktiv "high" Pegel ausgelöst. Die DRQ Leitung muß solange gesetzt bleiben, bis die entsprechende DACK Leitung aktiv wird. DRQ0 bis DRQ3 werden für einen 8 Bit Transfer, DRQ5 bis DRQ7 für einen 16 Bit Transfer benutzt. DRQ4 wird auf dem System Board benutzt und ist auf dem Bus nicht verfügbar.
I/O CH CHK	E	E/A-Channel Check: Diese Leitung informiert den Prozessor über Parity (Fehler) die bei Speicher oder Ein-/Ausgabeeinheiten aufgetreten sind. Ein aktiv "low" Pegel zeigt einen unkorrigierbaren System-Fehler an.
I/O CH RDY	E	I/O Channel Ready: Diese Leitung ist normalerweise "high" (ready), sie wird auf "low" (not ready) entweder durch den Speicher oder durch eine E/A-Einheit gesetzt, um E/A oder Speicherzugriffe zu steuern. Dies erlaubt es auch langsamen Speichern und E/A-Einheiten ohne Schwierigkeiten den Ein/Ausgabekanal zu benutzen. Jede langsame Peripherie sollte diese Leitung sofort nach Empfang der gültigen Adresse und des Lese-oder Schreibbefehls auf "low" setzen. Diese Leitung sollte nie länger als 10 Taktzyklen auf "low" Pegel gehalten werden. Maschinenzyklen (E/A oder Speicher) sind vielfache der CLK Zyklen.
-I/O CS16	E	16 Bit I/O Chip Select: Kennzeichnet die Datenübertragung mit einer Einheit auf dem Bus als 16Bit Übertragung. Das Signal ist aktiv "low".

Name	E/A	Beschreibung
-IOR	A	I/O Read Command: Diese Befehlsleitung fordert eine E/A-Einheit auf, die Daten auf den Datenbus zu bringen. Diese Leitung wird entweder vom Prozessor oder vom DMA-Controller bedient. Dieses Signal ist aktiv "low".
-IOW	A	I/O Write Conmand: Diese Befehlsleitung fordert eine E/A-Einheit auf, die auf dem Datenbus anliegenden Daten zu lesen. Diese Leitung wird vom Prozessor oder vom DMA-Controller bedient. Dieses Signal ist aktiv "low".
IRQ2-14 (IRQ2-7)	E	Interrupt Request 2 bis 14: Diese Leitungen zeigen dem Prozessor an, daß eine E/A-Einheit eine Bedienung wünscht. Die Interruptleitungen sind unterschiedlich priorisiert: IRQ2 : höchste Priorität IRQ14 : niedrigste Priorität Eine Interrupt Anforderung wird durch Setzen ("low" auf "high") einer Interruptleitung ausgelöst. Diese Leitung muß solange gesetzt bleiben, bis der Prozessor die Anforderung angenommen hat (Interrupt service routine).
LA17-23	E/A	Diese Signale (unlatched) werden verwendet um Speicher ind Ein- bzw. Ausgabeeinheiten im System zu adressieren. Es können bis zu 16MB im System adressiert werden. Die Signale sind nur gültig, wenn das BALE Signal auf "high" ist. LA17 bis LA23 werden während des Prozessorzyklus nicht verlatched und sind deshalb nicht für den ganzen Zyklus gültig. Der Zweck dieser Signale ist Speicherdekodierungen für 1 Wait State Speicherzyklen zu erzeugen. Die Dekodierungen sollten von den I/O Einheiten bei der fallenden Flanke des BALE Signals verlatched werden. Diese Signale können auch von anderen Prozessoren oder DMA Controllern auf dem I/O Bus bedient werden.
-MASTER	E	Dieses Signal wird im Zusammenhang mit einer DRQ-Leitung benutzt um die Kontrolle über das System zu erhalten. Ein Prozessor oder ein DMA Controller auf den I/O Bus kann einen DRQ Signal ausgeben und erhält ein -DACK Signal zurück. Nach erhalt des -DACK Signals kann der I/O Prozessor das MASTER Signal auf "low" ziehen. Damit erhält der I/O Prozessor die Kontrolle über die Adress-, Daten-, und Kontrolleleitungen des Systems (Tri-State Zustand). Nachdem das -MASTER Signal auf "low" ist muß der I/O Prozessor einen Systemtakt abwarten, bevor er die Kontrolle über Adress- und Datenleitungen übernehmen kann, und 2 Systemtakte bevor er einen Read oder Write Befehl ausgeben kann. Wenn das -MASTER Signal mehr als 15 us auf "low" gehalten wird, kann es zu Datenverlust im Systemspeicher kommen, da die Refresh-Funktion nicht mehr aktiv ist.
-MEMs16	E	-MEM 16 Chip Select: teilt dem Systemboard mit ob der gegenwärtige Datentransfer ein 16Bit, 1 Wait State Transfer ist. Dieses Signal muß durch die Dekodierung der Signale LA17 bis LA23 abgeleitet werden. Das Signal sollte von einem Open Kollektor oder einem Tri-State Treiber mit min. 20mA Stromaufnahmekapazität bedient werden.
-MEMR (AT) -SMEMR (AT/XT)	A	Memory Read Command: Diese Befehlsleitung fordert den Speicher auf, seine Daten auf den Datenbus zu bringen. -SMEMR ist nur aktiv, wenn die Adressdekodierung innerhalb des niedrigsten 1MB Bereichs liegt. -MEMR ist bei allen Speicher - Lesezugriffen aktiv. -MEMR kann von allen Prozessoren oder DMA Controllern auf den I/O Bus bedient werden. -SMEMR wird von -MEMR und der Dekodierung des niedrigsten 1MB Bereichs abgeleitet. Wenn ein Prozessor auf den I/O Bus das -MEMR Signal bedienen will, müssen die Adressleitungen eine Systemtakteinheit lang gesetzt sein bevor -MEMR aktiv gemacht wird. Beide Signale sind aktiv "low".
-MEMW (AT) -SMEMW (AT/XT)	A	Memory Write Command: Diese Befehlsleitung fordert den Speicher auf, die auf den Datenbus anliegenden Daten in den Speicher zu übernehmen. Diese Leitung wird vom Prozessor oder vom DMA-Controller bedient. -SMEMW ist nur aktiv, wenn die Adressdekodierung innerhalb des niedrigsten 1MB Bereichs liegt. -MEMW ist bei allen Schreibzugriffen auf den Speicher aktiv. -MEMW kann von allen Prozessoren oder DMA Controllern auf den I/O Bus bedient werden. -SMEMW wird von -MEMW und der Dekodierung des niedrigsten 1MB Bereichs abgeleitet. Wenn ein Prozessor auf den I/O Bus das -MEMW Signal bedienen will, müssen die Adressleitungen eine Systemtakteinheit lang gesetzt sein bevor -MEMR aktiv gemacht wird. Beide Signale sind aktiv "low".
OSC	A	System Takt: 1/8 der Oszillatorfrequenz mit einer Periodendauer von 210 ns. (4.77 MHz, Tastverhältnis 33%).
-REFRESH	A	Dieses Signal wird im AT dazu benutzt einen Speicher Refresh anzuzeigen. Das Signal -DACK0 wird im XT für diesen Zweck benutzt. Das Signal ist aktiv "low".
RESET DRV	A	Diese Leitung wird zum Reset oder zur Initialisierung des Systems nach dem Einschalten oder nach einer Stromunterbrechung benutzt. Dieses Signal wird mit der fallenden flanke des Clock synchronisiert. Der Pegel ist aktiv "high".
SA0-19 (A0-19)	A	Adreßbits 0 - 19: Diese Leitungen werden zur Adreßierung des Speichers und der Ein/- Ausgabeeinheiten innerhalb des Systems benutzt. Die 20 Adreßleitungen ermöglichen den Zugriff zu 1 Mbyte Speicher. A0 : least significant bit (LSB). A19 : most signficant bit (MSB). Diese Leitungen werden entweder von der CPU oder von einem DMA-Controller bedient. Die Pegel sind aktiv "high".
SBHE	A	Bus High Enable: zeigt einen Datentransfer auf dem oberen Byte des Datenbus an (SD8 bis SD15). 16Bit Einheiten benutzen SBHE um die Datenpuffer für SD8 bis SD15 zu conditionieren. Der Pegel ist aktiv "high".

Name	E/A	Beschreibung
SD0-15 (D0-7)	E/A	Datenbits 0 - 7 und 8 - 15: Diese Leitungen dienen als Datenbus für Prozessor, Speicher und Ein-/Ausgabeeinheiten. D0 : least significant bit (LSB). D7 (D15) : most significant bit (MSB). Die Pegel sind aktiv "high".
T/C	A	Terminal Count: Diese Leitung gibt einen Impuls ab, wenn der terminal count für einen beliebigen DMA Kanal erreicht ist. Dieses Signal ist aktiv "high".

Folgende Spannungen stehen auf dem Systemboard am E/A-Kanal zur Verfügung:

- + 5 Vdc (+/- 5%) Pin B3 und B29
- 5 Vdc (+/-10%) Pin B5
- + 12 Vdc (+/- 5%) Pin B9
- 12 Vdc (+/-10%) Pin B7
- GND (Ground) Pin B1,B10 und B31

2. EISA-Bus Signalbelegung am Steckplatz

Leiterbahnseite

Bauteilseite

Pin	Signal	Pin	Signal
F1	GND	E1	CMD#
F2	+5V	E2	START#
F3	+5V	E3	EXRDY
F4	---	E4	EX32#
F5	---	E5	GND
F6	ACCESS KEY	E6	ACCESS KEY
F7	---	E7	EX16#
F8	---	E8	SLBURST#
F9	+12V	E9	MSBURST#
F10	M/IO#	E10	W/R#
F11	LOCK#	E11	GND
F12	(reserved)	E12	(reserved)
F13	GND	E13	(reserved)
F14	(reserved)	E14	(reserved)
F15	BE3#	E15	GND
F16	ACCESS KEY	E16	ACCESS KEY
F17	BE2#	E17	BE1#
F18	BE0#	E18	LA31#
F19	GND	E19	GND
F20	+5V	E20	LA30#
F21	LA29#	E21	LA28#
F22	GND	E22	LA27#
F23	LA26#	E23	LA25#
F24	LA24#	E24	GND
F25	ACCESS KEY	E25	ACCESS KEY
F26	LA16	E26	LA15
F27	LA14	E27	LA13
F28	+5V	E28	LA12
F29	+5V	E29	LA11
F30	GND	E30	GND
F31	LA10	E31	LA9
H2	LA6	G2	GND
H3	LA5	G3	LA4
H4	+5V	G4	LA3
H5	LA2	G5	GND
H6	KEY	G6	ACCESS KEY
H7	D16	G7	D17
H8	D18	G8	D19
H9	GND	G9	D20
H10	D21	G10	D22
H11	D23	G11	GND
H12	D24	G12	D25
H13	GND	G13	D26
H14	D27	G14	D28
H15	ACCESS KEY	G15	ACCESS KEY
H16	D29	G16	GND
H17	+5V	G17	D30
H18	+5V	G18	D31
H19	MAKx	G19	MREQx

3. VESA-Local Bus (VLB) Signalbelegung am Steckplatz

Leiterbahnseite

Bauteilseite

Pin	Signal	Pin	Signal
B1	Dat00	A1	Dat01
B2	Dat02	A2	Dat03
B3	Dat04	A3	GND
B4	Dat06	A4	Dat05
B5	Dat08	A5	Dat07
B6	GND	A6	Dat09
B7	Dat10	A7	Dat11
B8	Dat12	A8	Dat13
B9	Vcc	A9	Dat15
B10	Dat14	A10	GND
B11	Dat16	A11	Dat17
B12	Dat18	A12	Vcc
B13	Dat20	A13	Dat19
B14	GND	A14	Dat21
B15	Dat22	A15	Dat23
B16	Dat24	A16	Dat25
B17	Dat26	A17	GND
B18	Dat28	A18	Dat27
B19	Dat30	A19	Dat29
B20	Vcc	A20	Dat31
B21	Adr31	A21	Adr30
B22	GND	A22	Adr28
B23	Adr29	A23	Adr26
B24	Adr27	A24	GND
B25	Adr25	A25	Adr24
B26	Adr23	A26	Adr22
B27	Adr21	A27	Vcc
B28	Adr19	A28	Adr20
B29	GND	A29	Adr18
B30	Adr17	A30	Adr16
B31	Adr15	A31	Adr14
B32	Vcc	A32	Adr12
B33	Adr13	A33	Adr10
B34	Adr11	A34	Adr08
B35	Adr09	A35	GND
B36	Adr07	A36	Adr06
B37	Adr05	A37	Adr04
B38	GND	A38	WBACK#
B39	Adr03	A39	BEO#
B40	Adr02	A40	Vcc
B41	n/c	A41	BE1#
B42	RESET#	A42	BE2#
B43	DC#	A43	GND
B44	M/ID#	A44	BE3#
B45	W/R#	A45	ADS#
B46	A46		
B47	A47		
B48	RDYRTN#	A48	LRDY#
B49	GND	A49	LDEV<x>#
B50	IRQ9	A50	LREQ<x>#
B51	BRDY#	A51	GND
B52	BLAST#	A52	LGNT<x>#
B53	ID0	A53	Vcc
B54	ID1	A54	ID2

Pin	Signal	Pin	Signal
B55	GND	A55	ID3
B56	LCLK	A56	ID4
B57	Vcc	A57	LKEN#
B58	LBS16#	A58	LEAD5#

4. PCI-Bus Signalbelegung am Steckplatz

Dieser deutsche Hersteller - <http://www.bln.de/hkmesssysteme/home3.htm> bietet Prototypenkarten (zum Experimentieren und zum Aufbau eigener PCI-Karten) an!

Folgende Anschlußbelegung ist gültig für PCI Karten Universal/3.3V/5V und 32/64 bit

Leiterbahnseite

Bauteilseite

Pin	Signal	Pin	Signal
B1	-12V	A1	TRST#
B2	TCK	A2	+12V
B3	Ground	A3	TMS
B4	TDO	A4	TDI
B5	+5V	A5	+5V
B6	+5V	A6	INTA#
B7	INTB#	A7	INTC#
B8	INTD#	A8	+5V
B9	PRSNT1#	A9	reserved
B10	reserved	A10	+Vi/o
B11	PRSNT2#	A11	reserved
B12	(KEYWAY1)	A12	(KEYWAY1)
B13	(KEYWAY1)	A13	(KEYWAY1)
B14	reserved	A14	reserved
B15	Ground	A15	RST#
B16	CLK	A16	Vi/o
B17	Ground	A17	VNT#
B18	REQ#	A18	Ground
B19	+Vi/o	A19	reserved
B20	AD[31]	A20	AD[30]
B21	AD[29]	A21	+3.3V
B22	Ground	A22	AD[28]
B23	AD[27]	A23	AD[26]
B24	AD[25]	A24	Ground
B25	+3.3V	A25	AD[24]
B26	C/BE[3]#	A26	IDSEL
B27	AD[23]	A27	+3.3V
B28	Ground	A28	AD[22]
B29	AD[21]	A29	AD[20]
B30	AD[19]	A30	Ground
B31	+3.3V	A31	AD[18]
B32	AD[17]	A32	AD[16]
B33	C/BE[2]#	A33	+3.3V
B34	Ground	A34	FRAME#
B35	IRDY#	A35	Ground
B36	+3.3V	A36	TRDY#
B37	DEVSEL#	A37	Ground
B38	Ground	A38	STOP#
B39	LOCK#	A39	+3.3V
B40	PERR#	A40	SDONE
B41	+3.3V	A41	SBO#
B42	SERR#	A42	Ground
B43	+3.3V	A43	PAR
B44	C/BE[1]#	A44	AD[15]
B45	AD[14]	A45	+3.3V
B46	Ground	A46	AD[13]
B47	AD[12]	A47	AD11
B48	AD[10]	A48	Ground

Pin	Signal	Pin	Signal
B49	Ground	A49	AD[09]
B50	(KEYWAY2)	A50	(KEYWAY2)
B51	(KEYWAY2)	A51	(KEYWAY2)
B52	AD[08]	A52	C/BE[0]#
B53	AD[07]	A53	+3.3V
B54	+3.3V	A54	AD[06]
B55	AD[05]	A55	AD[04]
B56	AD[03]	A56	Ground
B57	Ground	A57	AD[02]
B58	AD[01]	A58	AD[00]
B59	Vi/o	A59	+Vi/o
B60	ACK64#	A60	REQ64#
B61	+5V	A61	+5V
B62	+5V	A62	+5V
B63	reserved	A63	Ground
B64	Ground	A64	C/BE[7]#
B65	C/BE[6]#	A65	C/BE[5]#
B66	C/BE[4]#	A66	+Vi/o
B67	Ground	A67	PAR64
B68	AD[63]	A68	AD[62]
B69	AD[61]	A69	Ground
B70	+Vi/o	A70	AD[60]
B71	AD[59]	A71	AD[58]
B72	AD[57]	A72	Ground
B73	Ground	A73	AD[56]
B74	AD[55]	A74	AD[54]
B75	AD[53]	A75	+Vi/o
B76	Ground	A76	AD[52]
B77	AD[51]	A77	AD[50]
B78	AD[49]	A78	Ground
B79	+Vi/o	A79	AD[48]
B80	AD[47]	A80	AD[46]
B81	AD[45]	A81	Ground
B82	Ground	A82	AD[44]
B83	AD[43]	A83	AD[42]
B84	AD[41]	A84	+Vi/o
B85	Ground	A85	AD[40]
B86	AD[39]	A86	AD[38]
B87	AD[37]	A87	Ground
B88	+Vi/o	A88	AD[36]
B89	AD[35]	A89	AD[34]
B90	AD[33]	A90	Ground
B91	Ground	A91	AD[32]
B92	reserved	A92	reserved
B93	reserved	A93	Ground
B94	Ground	A94	reserved

Achtung! Pins 63-94 existieren nur bei 64 bit PCI Anwendungen. KEYWAY1 existiert bei Universal und 3.3V Mainboards. Bei 5V Mainboards ist dieser Anschluß GND. KEYWAY2 existiert bei Universal und 5V Mainboards. Bei 3,3V Mainboards ist dieser Anschluß GND.

+Vi/o ist 3.3V bei 3.3V Mainboards, 5V on 5V Mainboards, und definiert die Signale bei Universalboards.

5. 30 PIN SIMM Anschluß (Single Inline Memory Module)

Für "Fast Page Mode SIMM" mit 256kx8 256kx9 1Mx8 1Mx9 4Mx8 4Mx9

Pin	Signal
1	Vcc
2	-CAS
3	DQ0
4	A0
5	A1
6	DQ1
7	A2
8	A3
9	Gnd
10	DQ2
11	A4
12	A5
13	DQ3
14	A6
15	A7
16	DQ4
17	A8
18	A9
19	A10
20	DQ5
21	-WE
22	Gnd
23	DQ6
24	N/C
25	DQ7
26	QP
27	-RAS
28	-CASP
29	DP
30	Vcc

Achtung! QP, CASP und DP sind bei allen x8 Bit Modulen nicht angeschlossen. A9 ist bei 256k Modulen nicht angeschlossen und A10 ist bei 256k und 1M Modulen nicht angeschlossen. Die Anschlußleiste besteht aus insgesamt 60 Anschlüssen. Jeder Anschluß ist doppelt vorhanden, d.h. auf jeder Seite der Leiterplatte.

6. 72 PIN SIMM Anschluß (Single Inline Memory Module)

Für "Fast Page Mode SIMM" mit 256k/512k/1M/2M/4M/8M x 32/36 bit

Pin	Signal
1	Gnd
2	DQ0
3	DQ16
4	DQ1
5	DQ17
6	DQ2
7	DQ18
8	DQ3
9	DQ19
10	Vcc
11	N/C
12	A0
13	A1
14	A2
15	A3
16	A4
17	A5
18	A6
19	A10
20	DQ4
21	DQ20
22	DQ5
23	DQ21
24	DQ6
25	DQ22
26	DQ7
27	DQ23
28	A7
29	N/C
30	Vcc
31	A8
32	A9
33	-RAS3
34	-RAS2
35	MP2
36	MP0
37	MP1
38	MP3
39	Gnd
40	-CAS0
41	-CAS2
42	-CAS3
43	-CAS1
44	-RAS0
45	-RAS1
46	N/C
47	-WE
48	N/C
49	DQ8
50	DQ24
51	DQ9
52	DQ25
53	DQ10
54	DQ26

Pin	Signal
55	DQ11
56	DQ27
57	DQ12
58	DQ28
59	Vcc
60	DQ29
61	DQ13
62	DQ30
63	DQ14
64	DQ31
65	DQ15
66	N/C
67	PD1
68	PD2
69	PD3
70	PD4
71	N/C
72	Gnd

Achtung! MP0,MP1,MP2 und MP3 sind bei allen x32 Bit Modulen nicht angeschlossen. A9 ist bei 256k und 512k Modulen nicht angeschlossen. A10 ist bei 256k, 512k, 1M und 4M Modulen nicht angeschlossen. RAS1 und RAS3 ist bei 256k, 1M und 4M Modulen nicht angeschlossen. Die Anschlußleiste besteht aus insgesamt 72 Anschlüssen. Jeder Anschluß ist doppelt vorhanden, d.h. auf jeder Seite der Leiterplatte.